

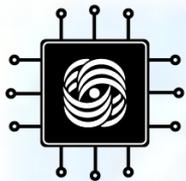
# **АРХИТЕКТУРА СОВРЕМЕННЫХ КОМПЬЮТЕРОВ**

## **Лекция 3:**

### ***Цифровой логический уровень (продолжение)***

ВМК МГУ им. М.В. Ломоносова, Кафедра АСВК

Доцент, к.ф.-м.н. Волканов Д.Ю.



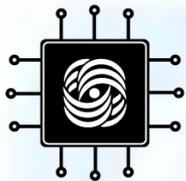
# План лекции

- Организация памяти
- Организация работы шин передачи данных
- Устройство процессора Pentium 4

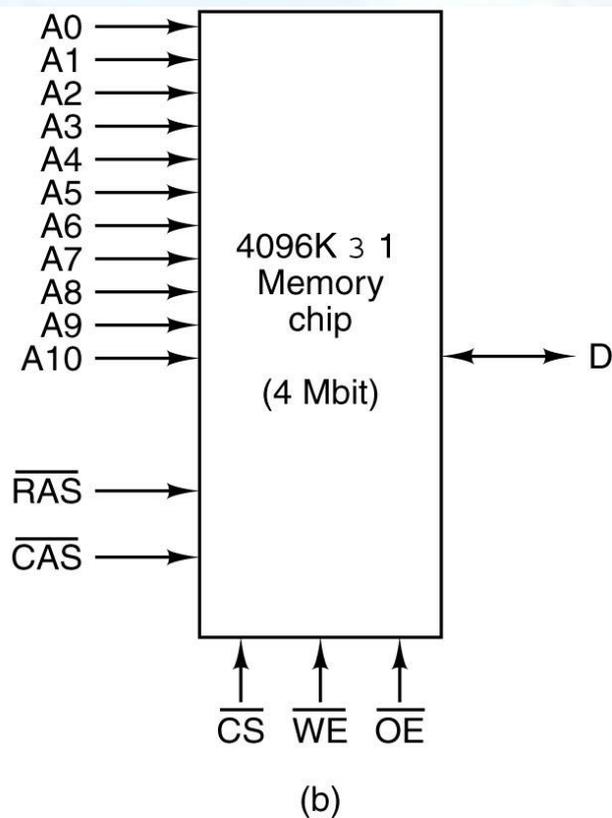
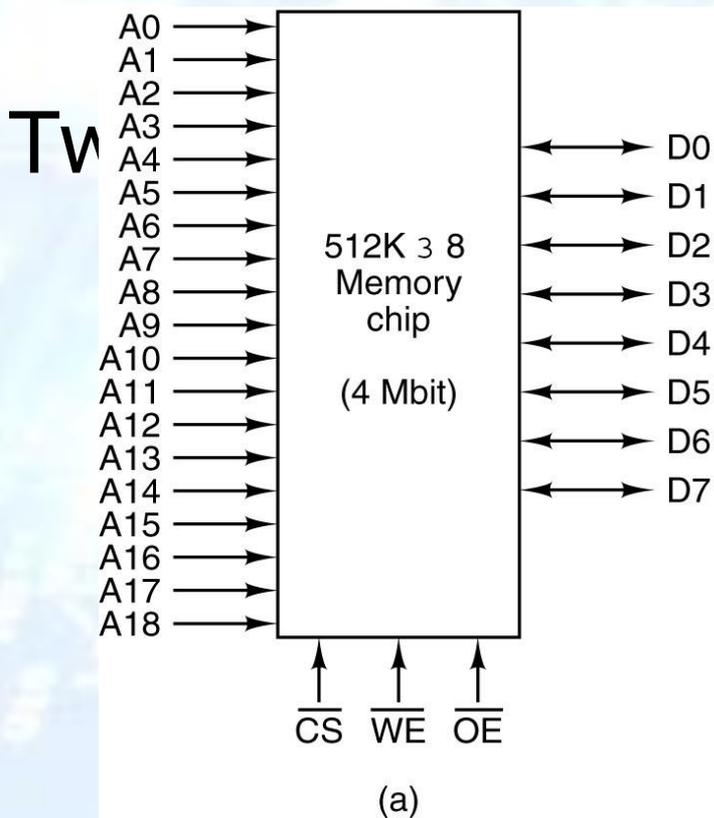


# Уровни архитектуры

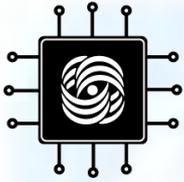
- **Цифровой логический уровень**
- Уровень микроархитектуры
- Уровень архитектуры набора команд
- Уровень операционной системы
- Уровень ассемблера



# Чипы памяти (1)



ry

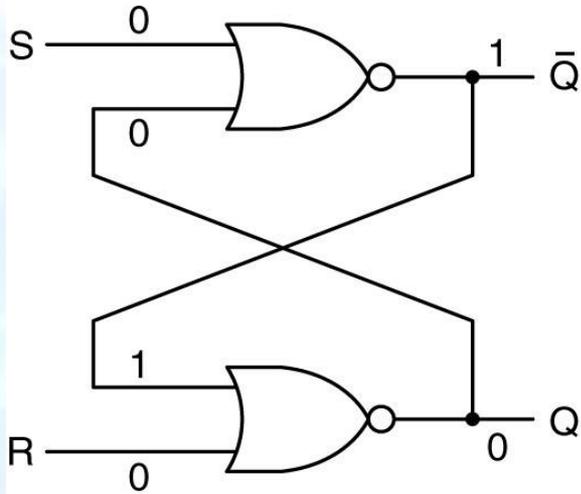


# Память

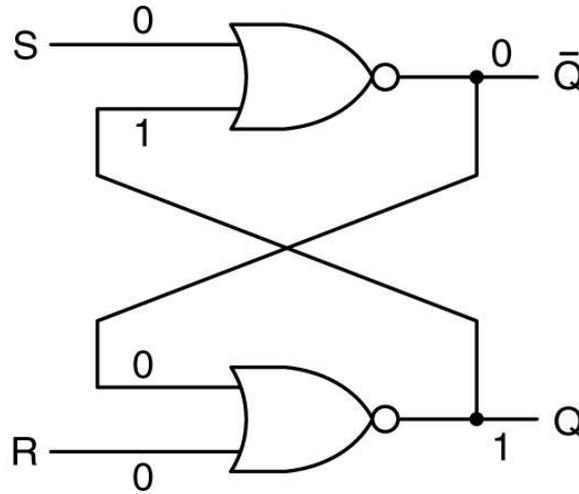
- Защёлки
- Синхронные SR-Защёлки
- Синхронные D-Защёлки



# Защёлки



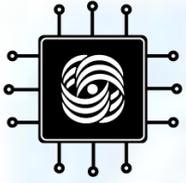
(a)



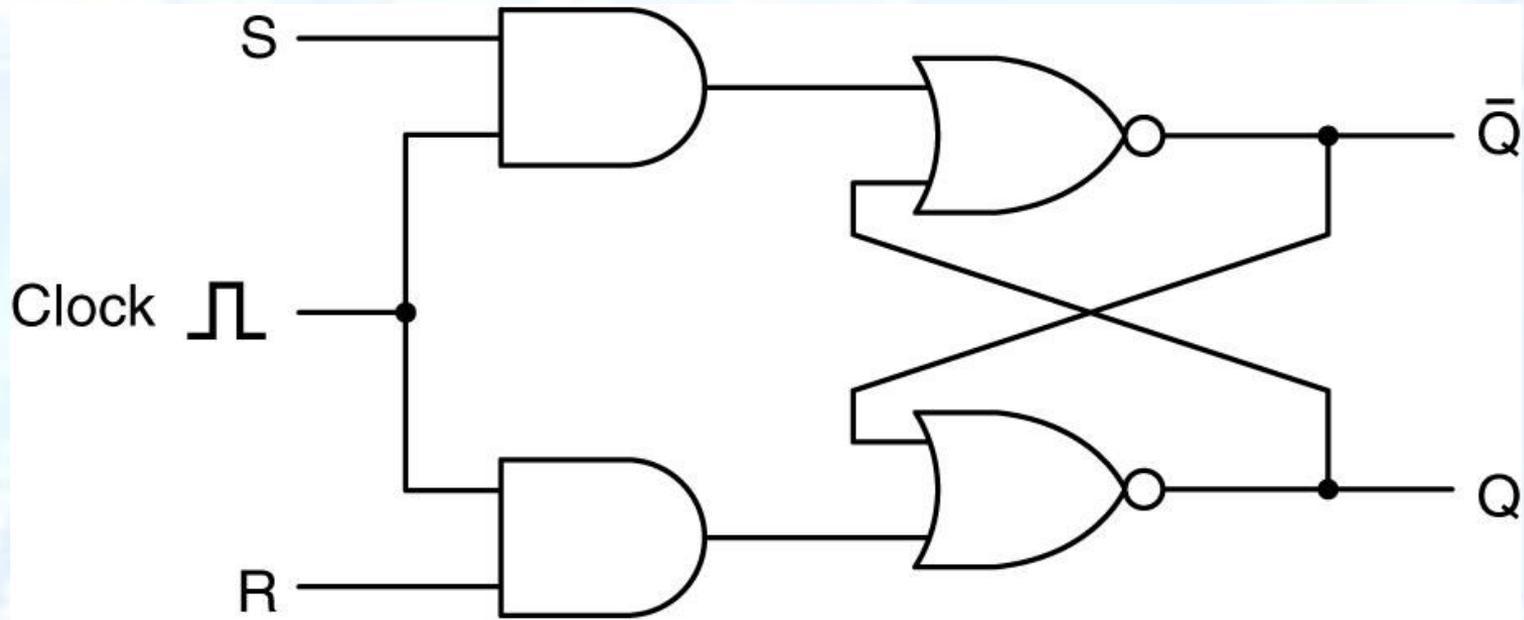
(b)

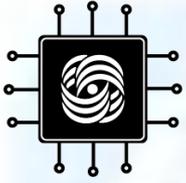
A	B	NOR
0	0	1
0	1	0
1	0	0
1	1	0

(c)

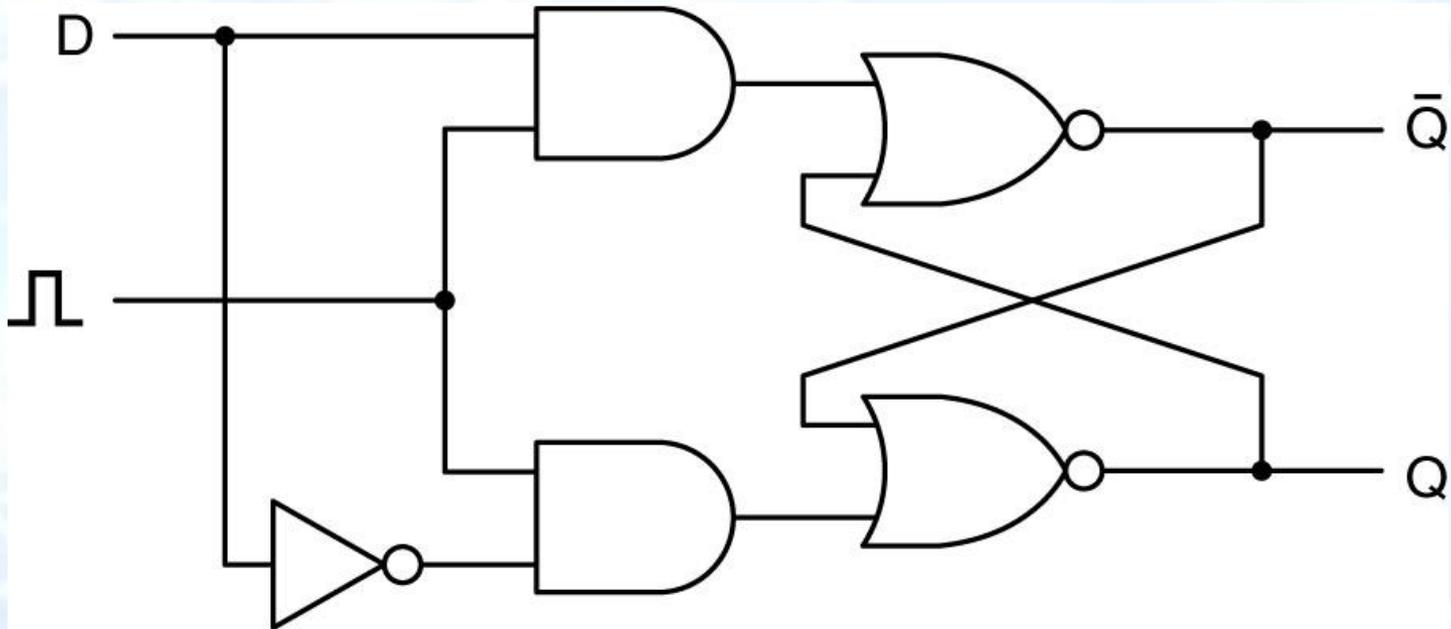


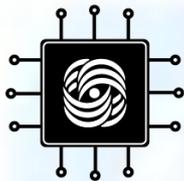
# Синхронные SR-защёлки



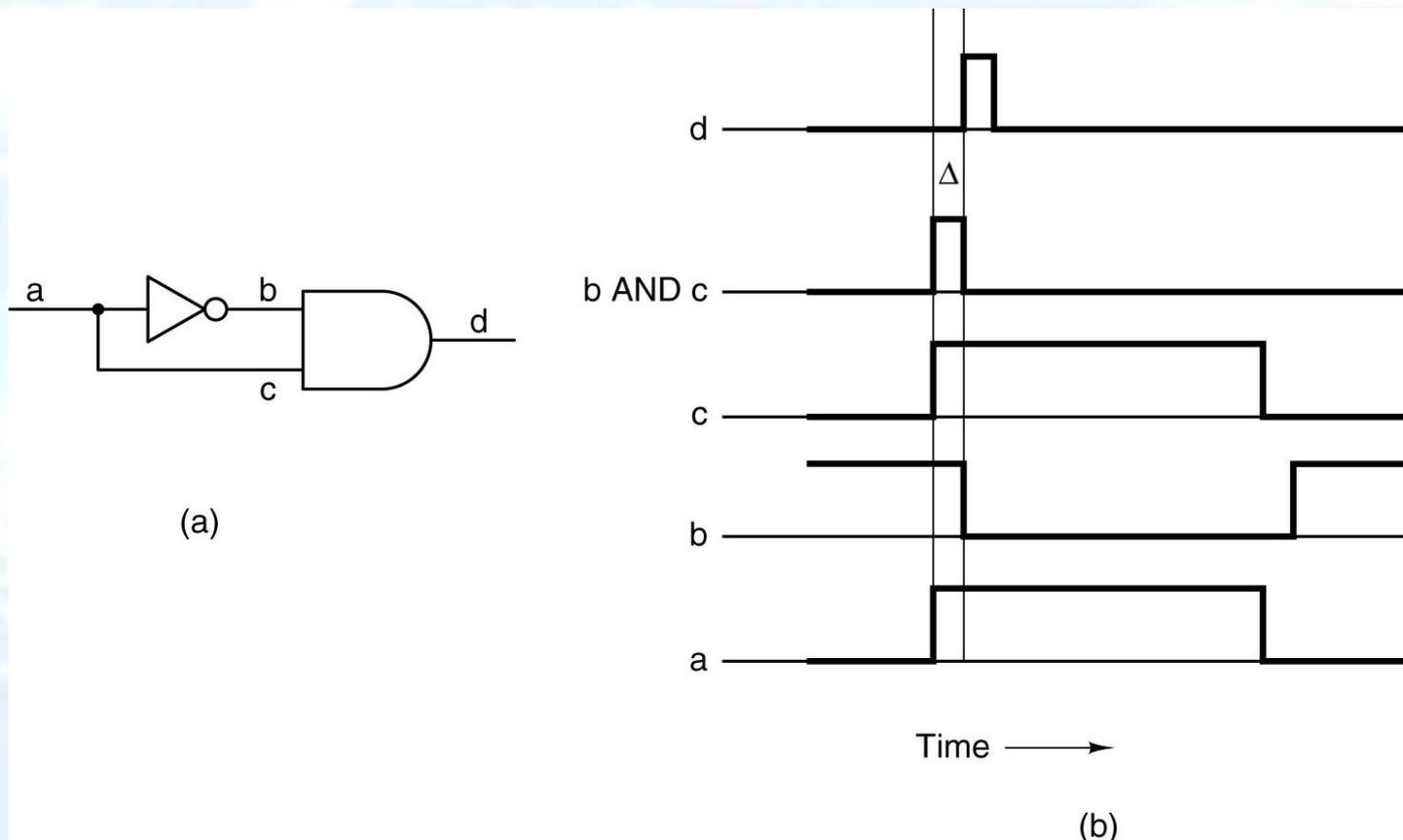


# Синхронные D-защёлки





# Триггеры



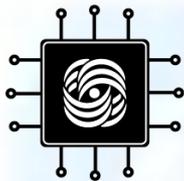
(a) Генератор импульса

(b) Временная диаграмма для 4 точек на схеме.

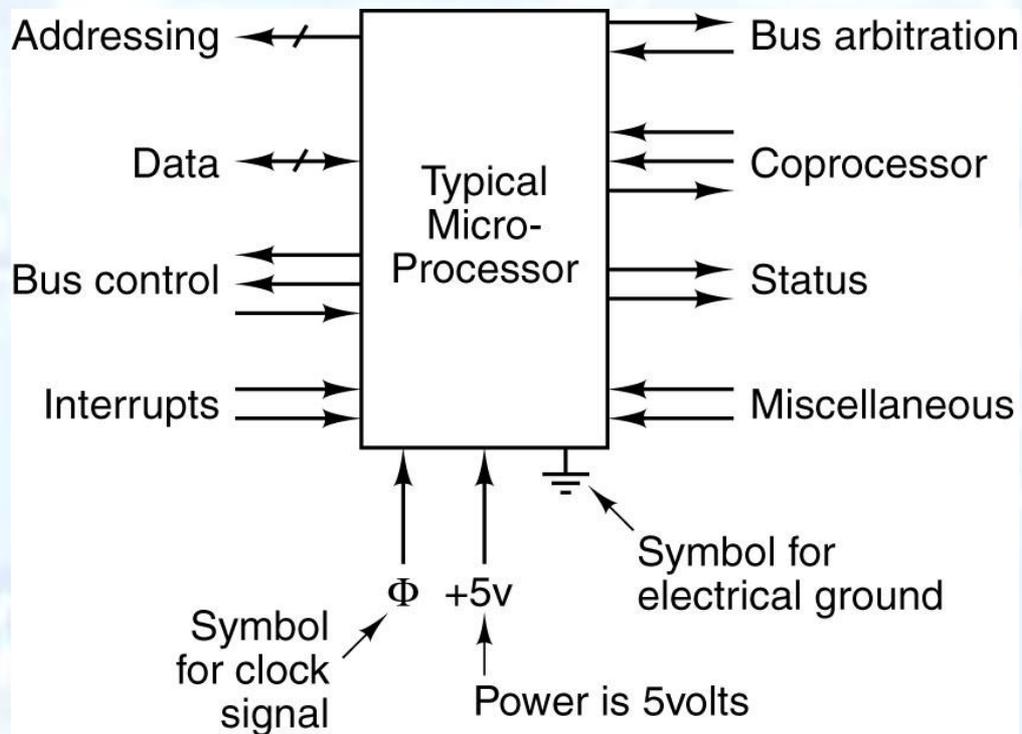


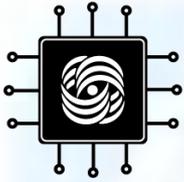
# Виды чипов памяти

Тип	Категория	Стирание	Изменение байта	Питание	Применение
SRAM	Ч/З	Электр.	+	+	Кэш-память 2го уровня
DRAM	Ч/З	Электр.	+	+	ОП
SDRAM	Ч/З	Электр.	+	+	ОП
ROM	Ч	-	-	-	Устройства большого V
PROM	Ч	-	-	-	Устройства небольшого V
EPROM	Ч >> З	УФ	-	-	Моделирование
EEPROM	Ч >> З	Электр.	+	-	Моделирование
Flash	Ч/З	Электр.	-	-	Везде

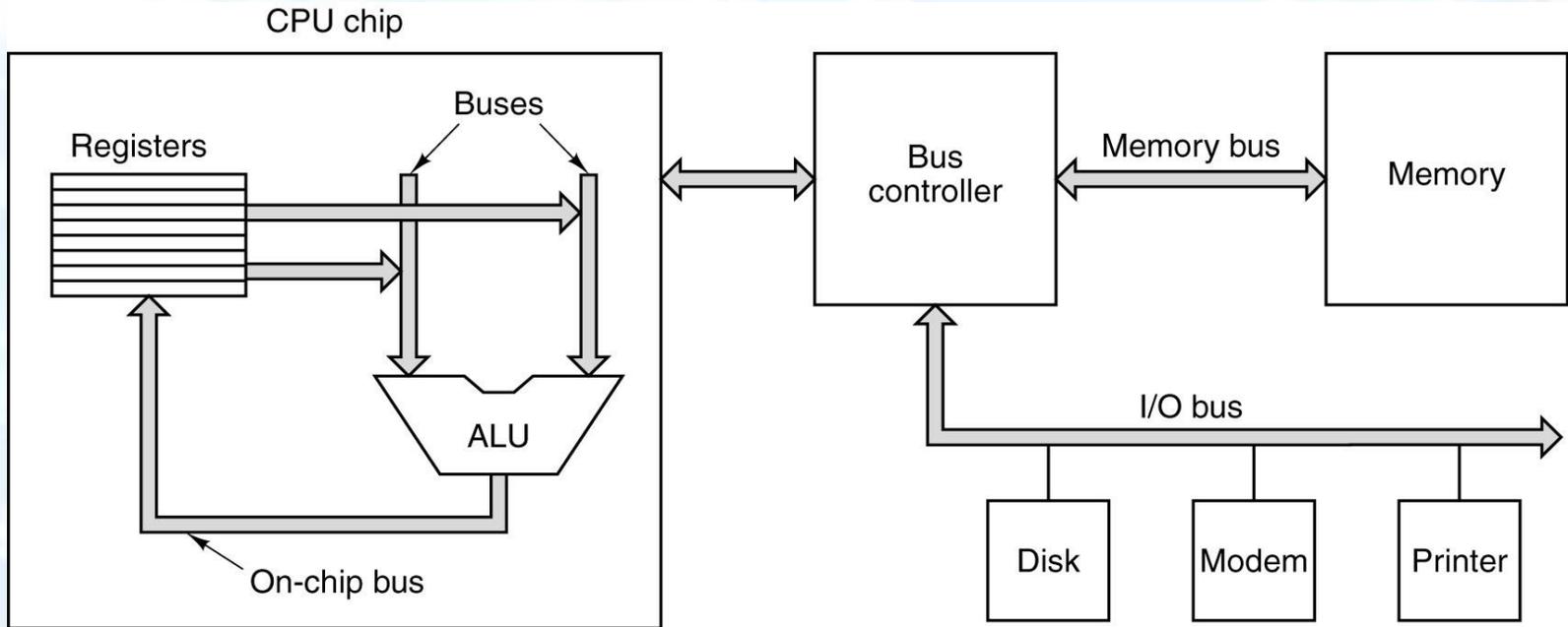


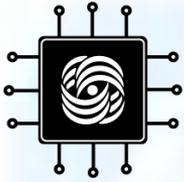
# ЦПУ чипы





# Шины передачи данных (1)





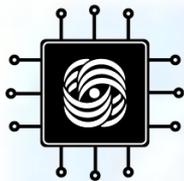
# Шины

<b>Master</b>	<b>Slave</b>	<b>Example</b>
CPU	Memory	Fetching instructions and data
CPU	I/O device	Initiating data transfer
CPU	Coprocessor	CPU handing instruction off to coprocessor
I/O	Memory	DMA (Direct Memory Access)
Coprocessor	CPU	Coprocessor fetching operands from CPU

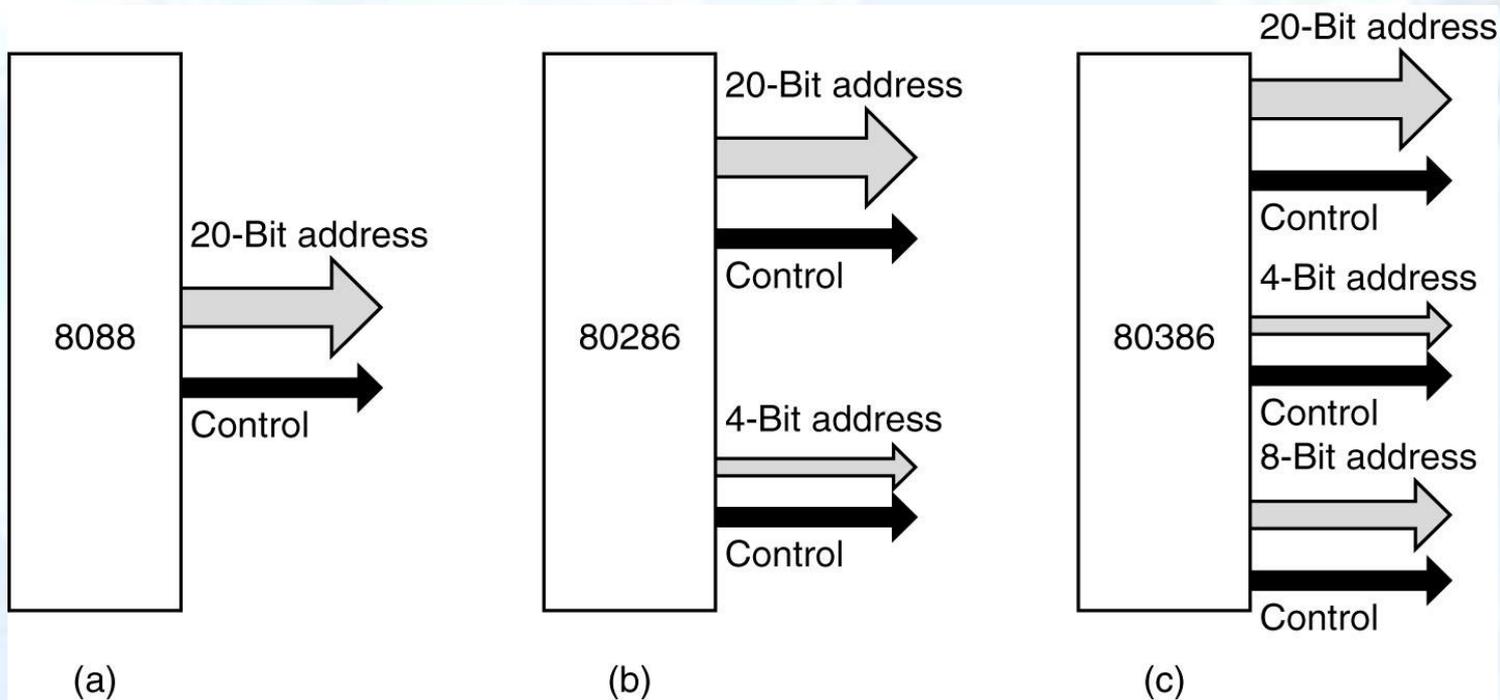


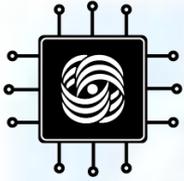
# Характеристики шин

- Ширина шины
- Синхронизация шины
- Арбитраж шины

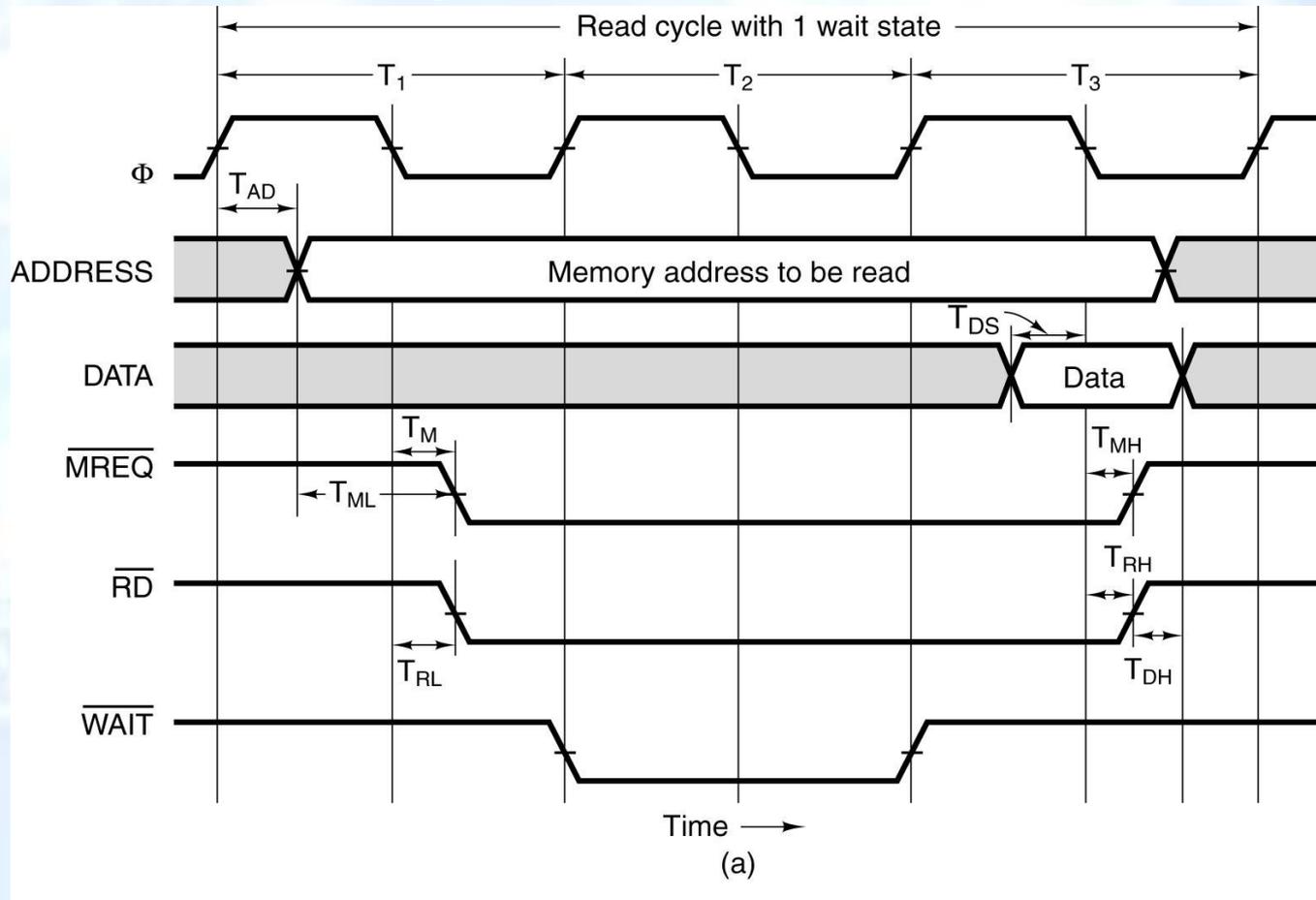


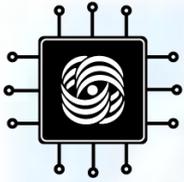
# ISA Шина



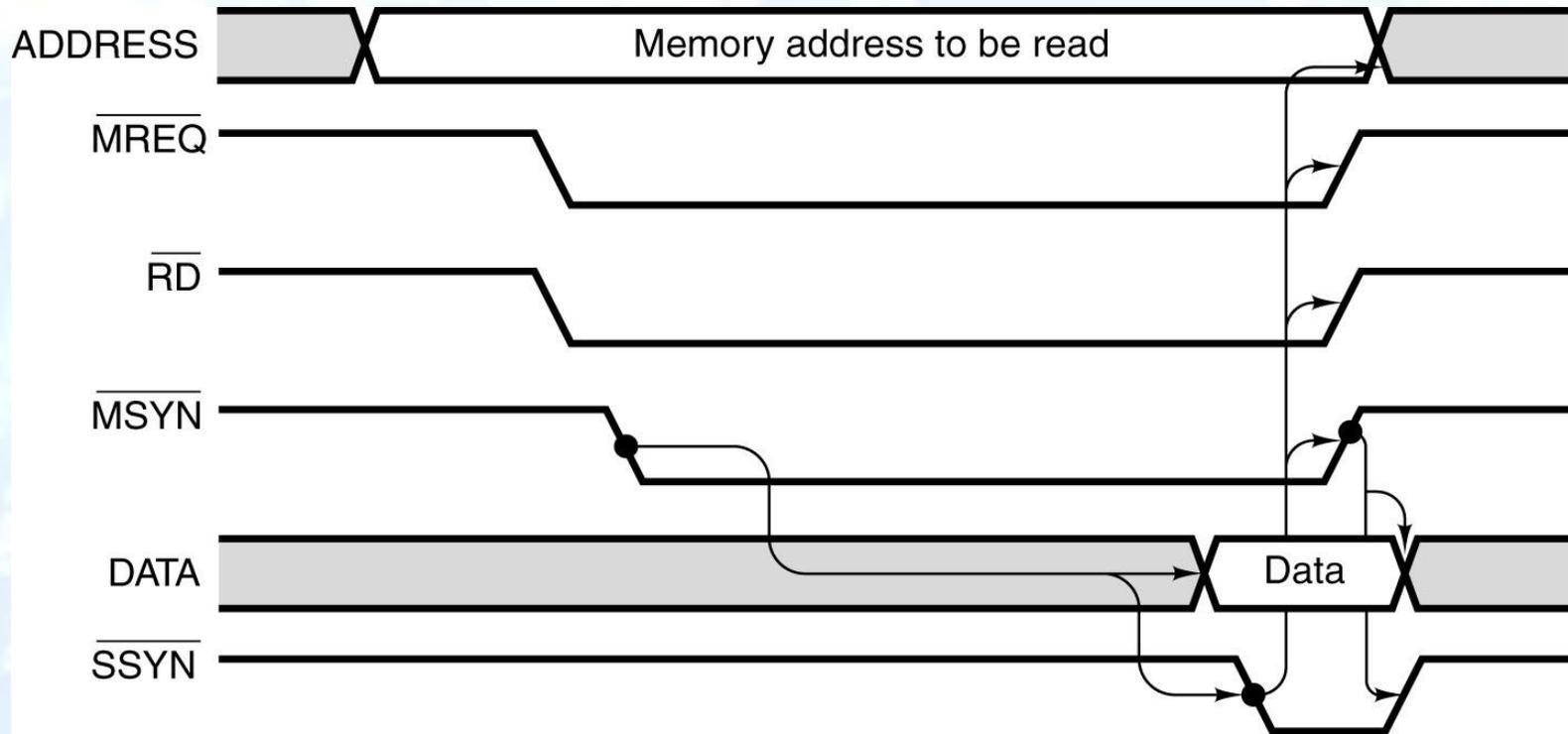


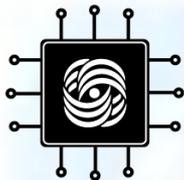
# Передача данных



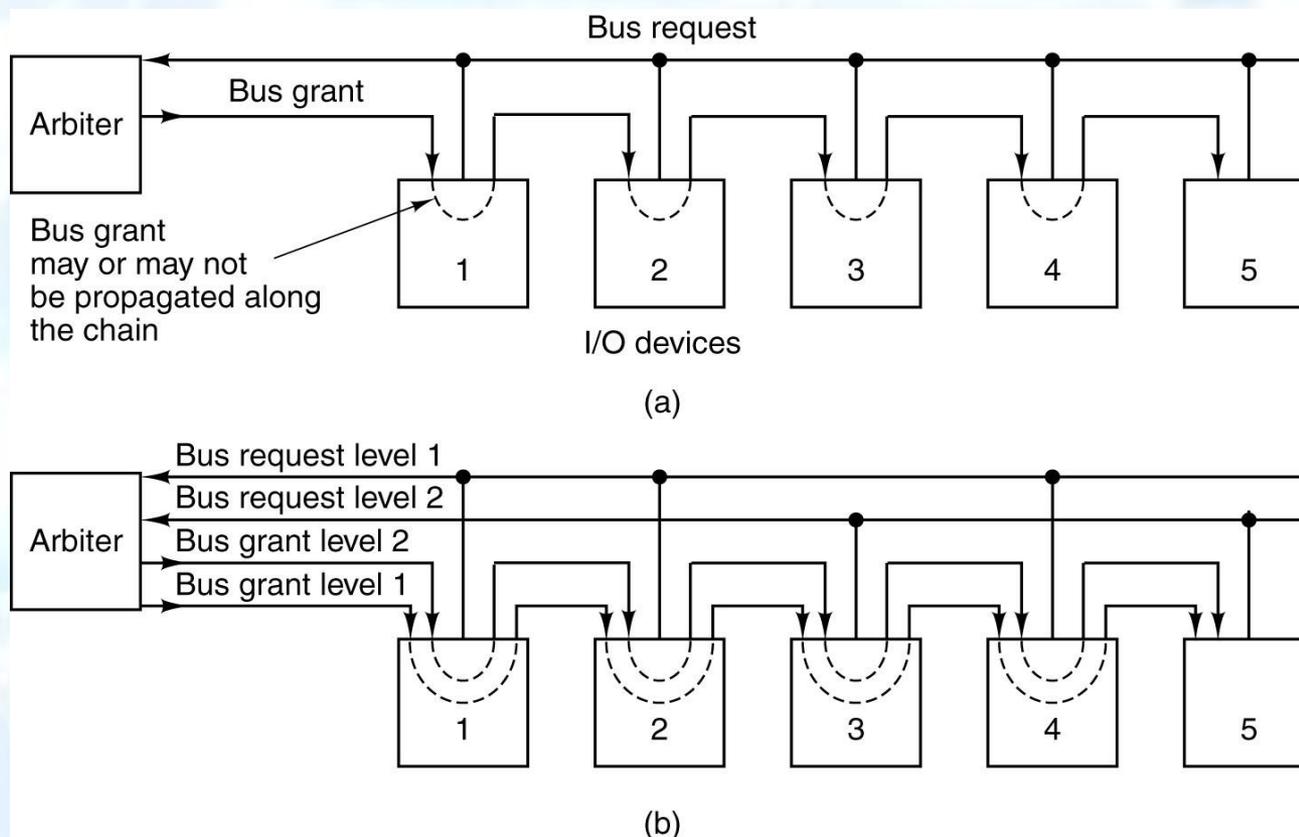


# Асинхронная шина

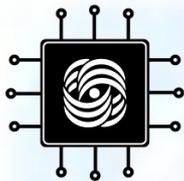




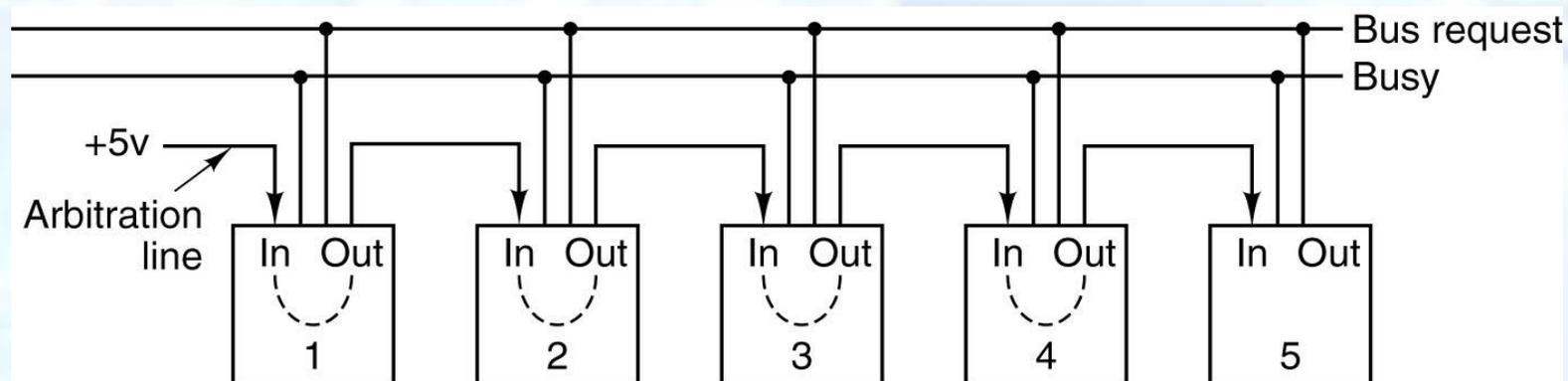
# Арбитраж



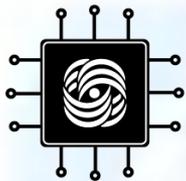
- (a) Одноуровневый централизованный арбитраж
- (b) Двуровневый централизованный арбитраж



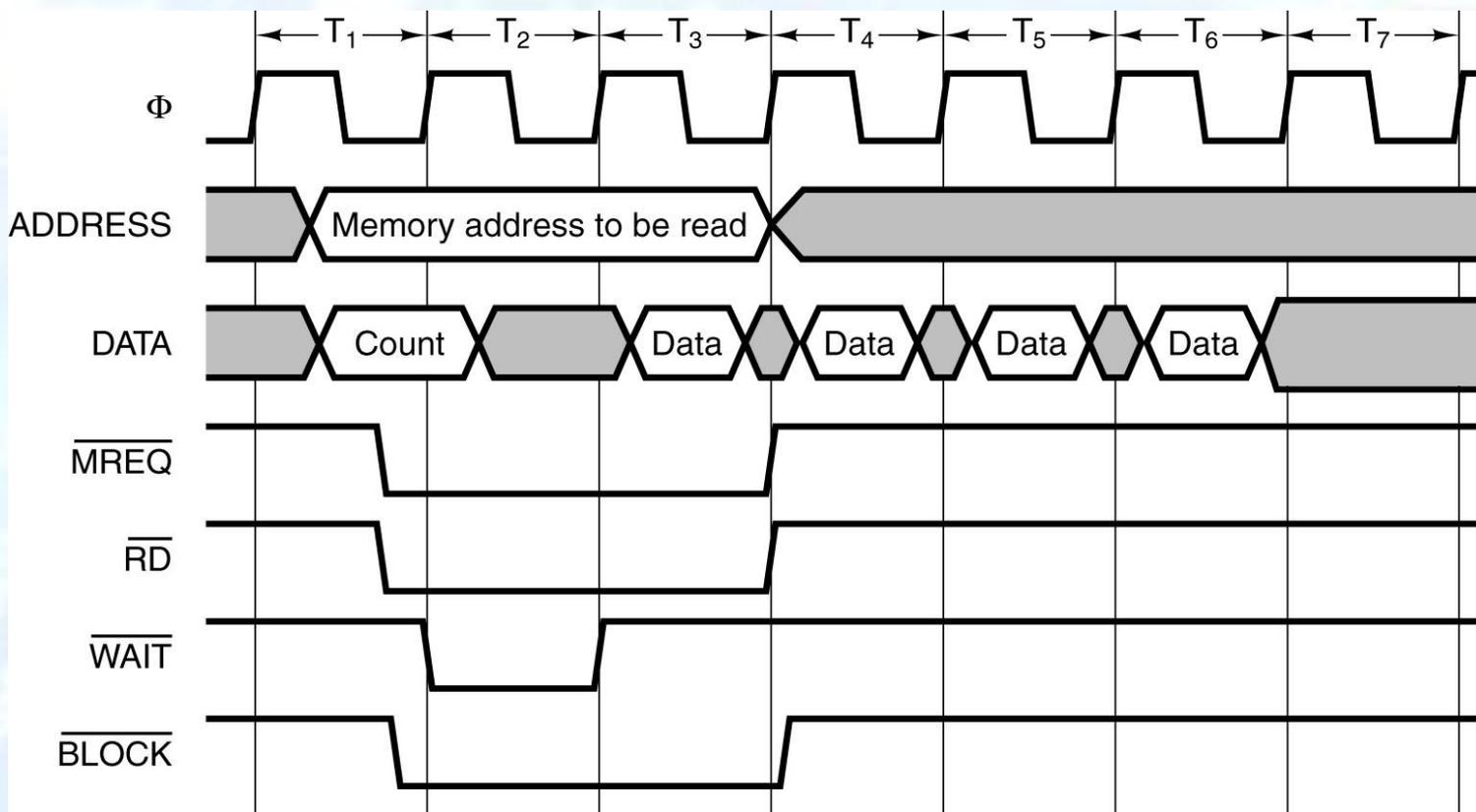
# Арбитраж (2)

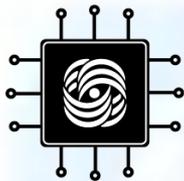


Децентрализованный арбитраж.

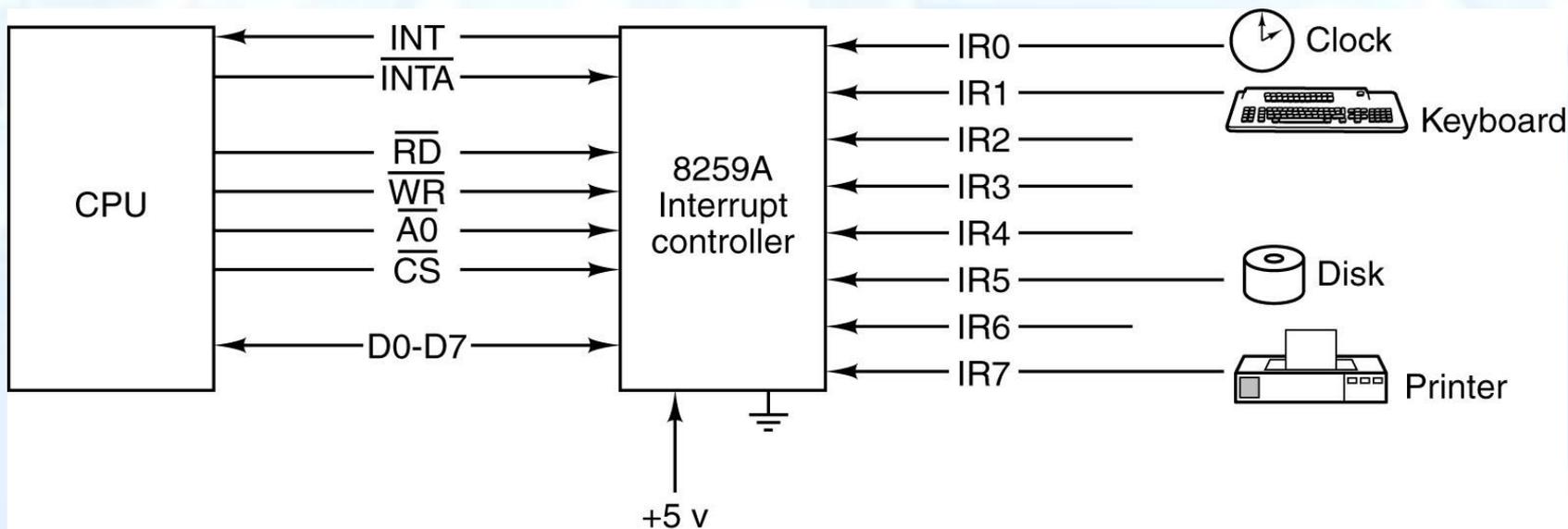


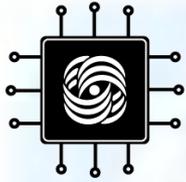
# Операции (1)





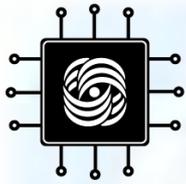
# Операции (2)



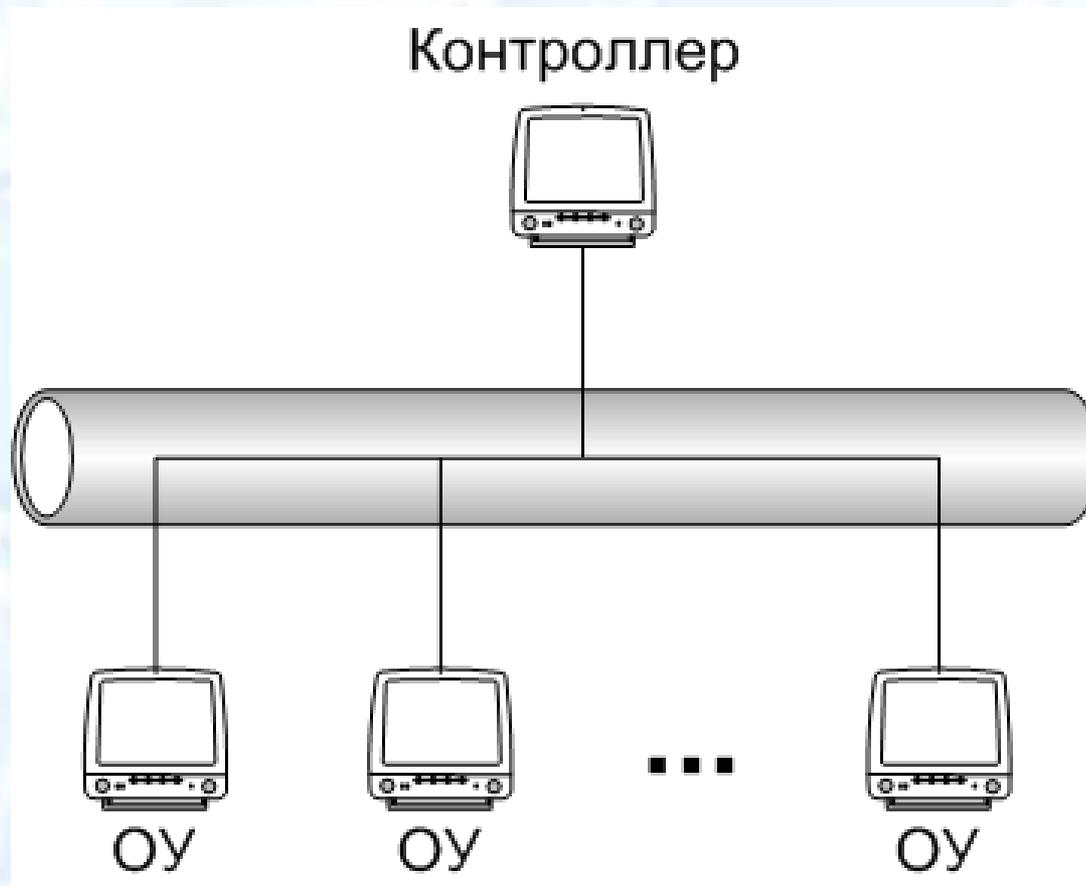


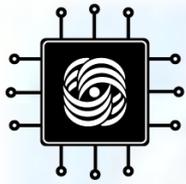
# Передача данных в СРВ

- Arinc (Аринк)
- MILS-1553В (МКИО)
- Fibre Channel



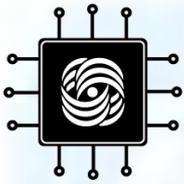
# Структура канала МКИО





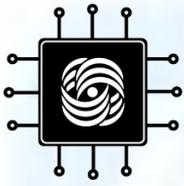
# Основные понятия ГОСТ Р 52070-2003 (МКИО)

- Контроллер канала (КК)
- Оконечное устройство (ОУ)
- Адрес ОУ
- Поадрес ОУ
- Команда
- Слово
  - Командное слово
  - Слово данных
  - Ответное слово



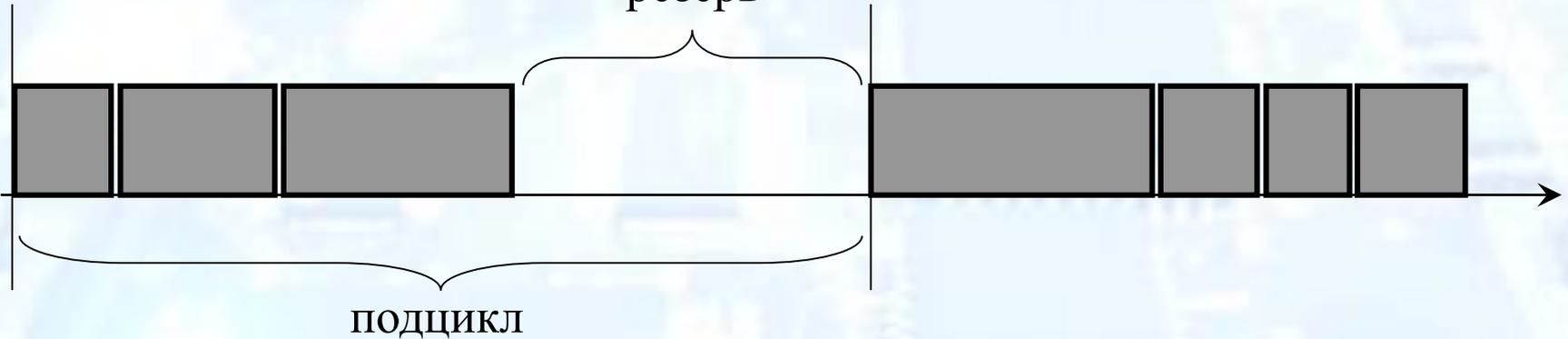
# Форматы команд МКИО



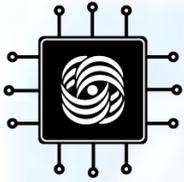


# Структура циклограммы

обмена  
резерв

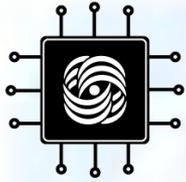


- Большой цикл
- Подциклы
- Цепочки команд
- Команды
- Резерв времени в конце подцикла

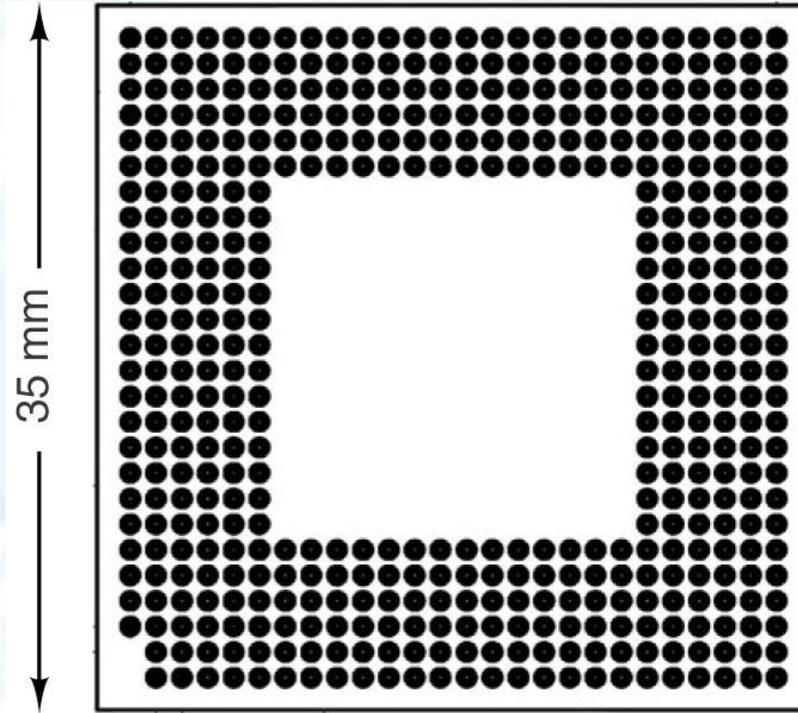


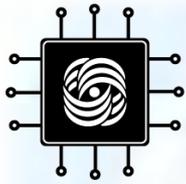
# Параметры циклограммы

- Длина подцикла
- Максимальная длина цепочки команд
  - В микросекундах
  - В командах
- Максимальное отклонение расстояния между командами передачи сообщения от периода сообщения
  - диапазон [0..1]
- Резерв времени в конце подцикла
  - диапазон [0..1]



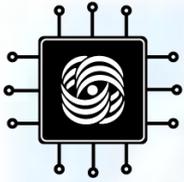
# The Pentium 4



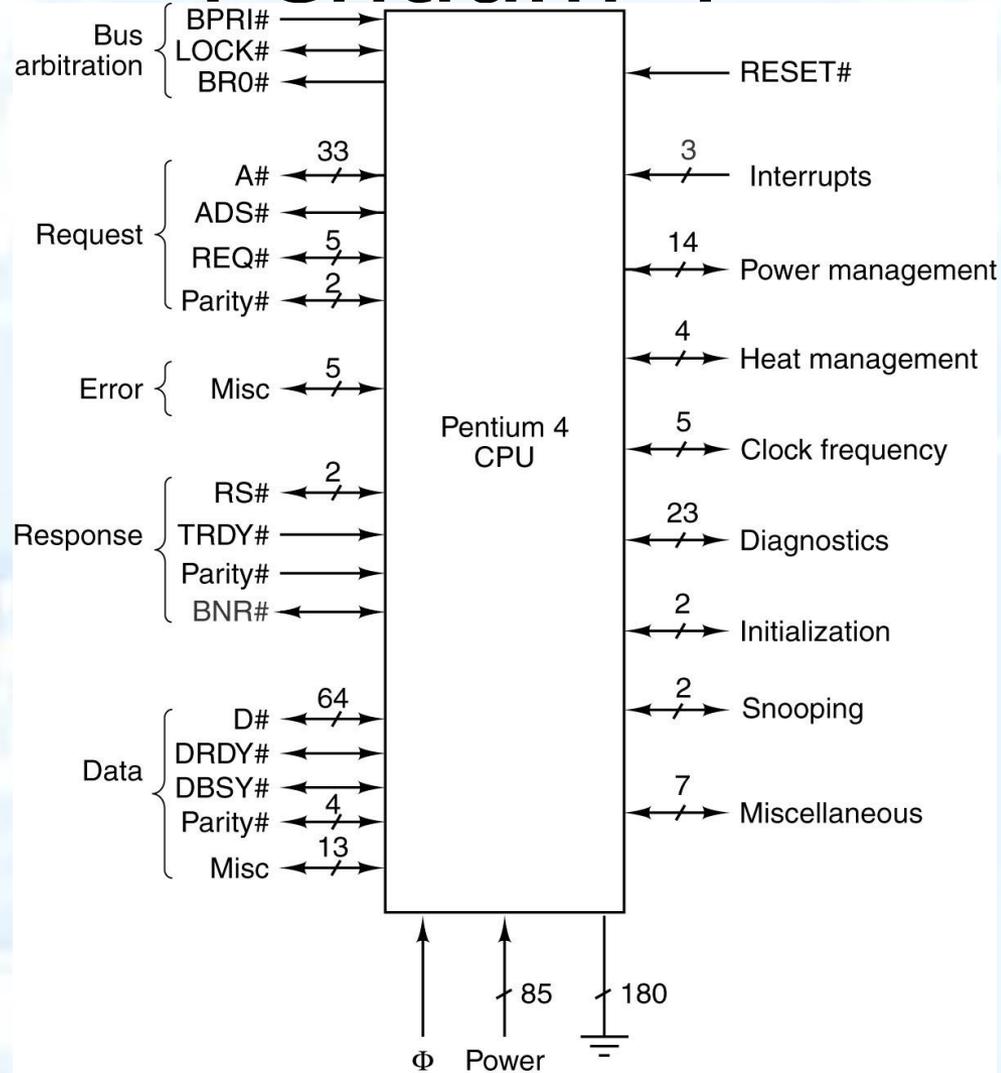


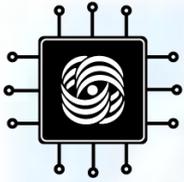
# The Pentium 4

- Годы выпуска: 2000 - 2007
- Частота ядра: 1,3 – 3,6 ГГц
- Кэш 1го уровня: 8-16 Кб
- Кэш 2го уровня: 0.25 – 2 Мб
- Конвейер: 20 стадий



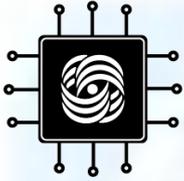
# Цоколевка процессора Pentium 4



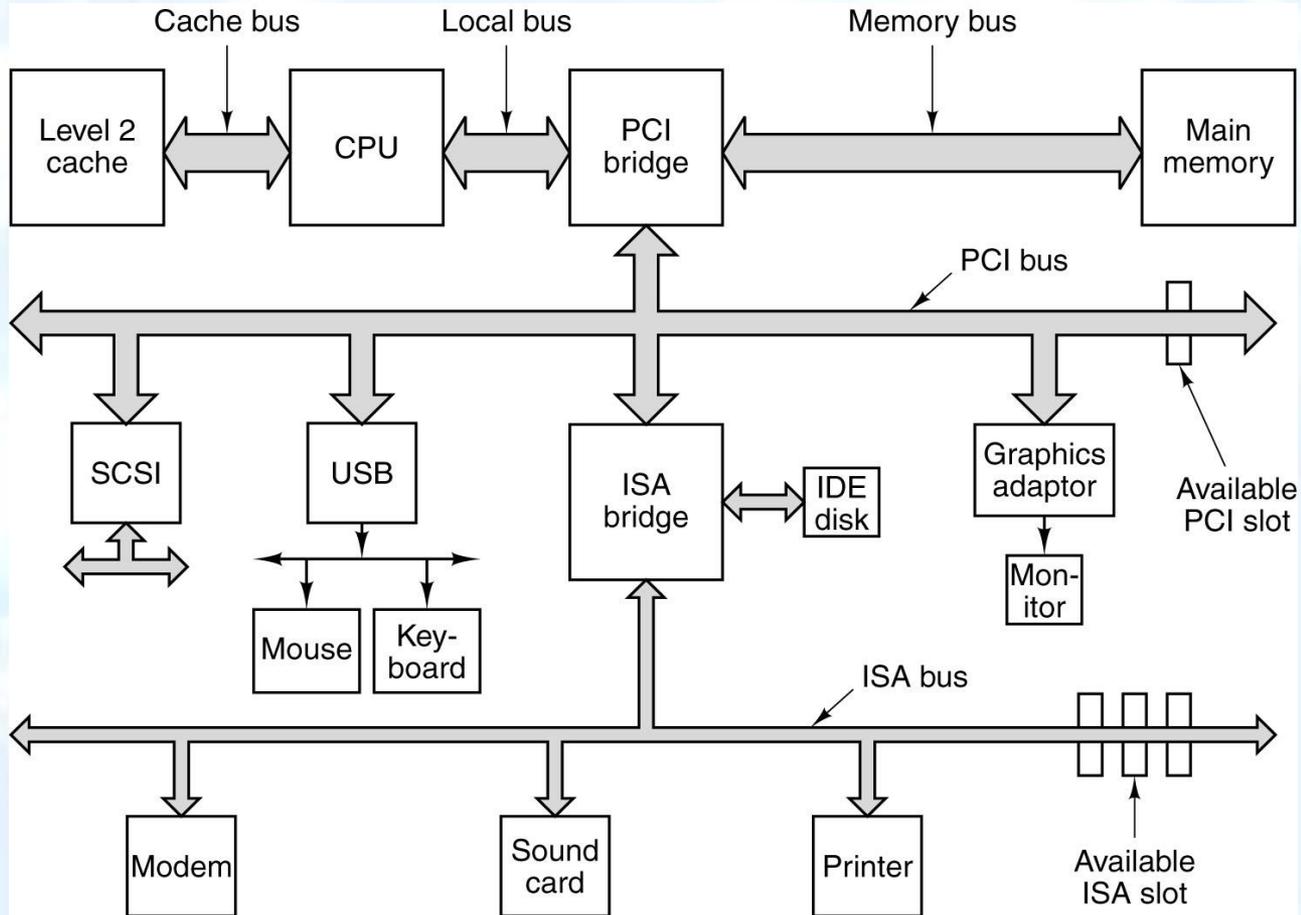


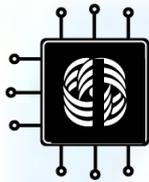
# Транзакции процессора Pentium 4

- Арбитраж шины
- Запрос
- Сообщение об ошибке
- Слежение
- Ответ
- Передача данных

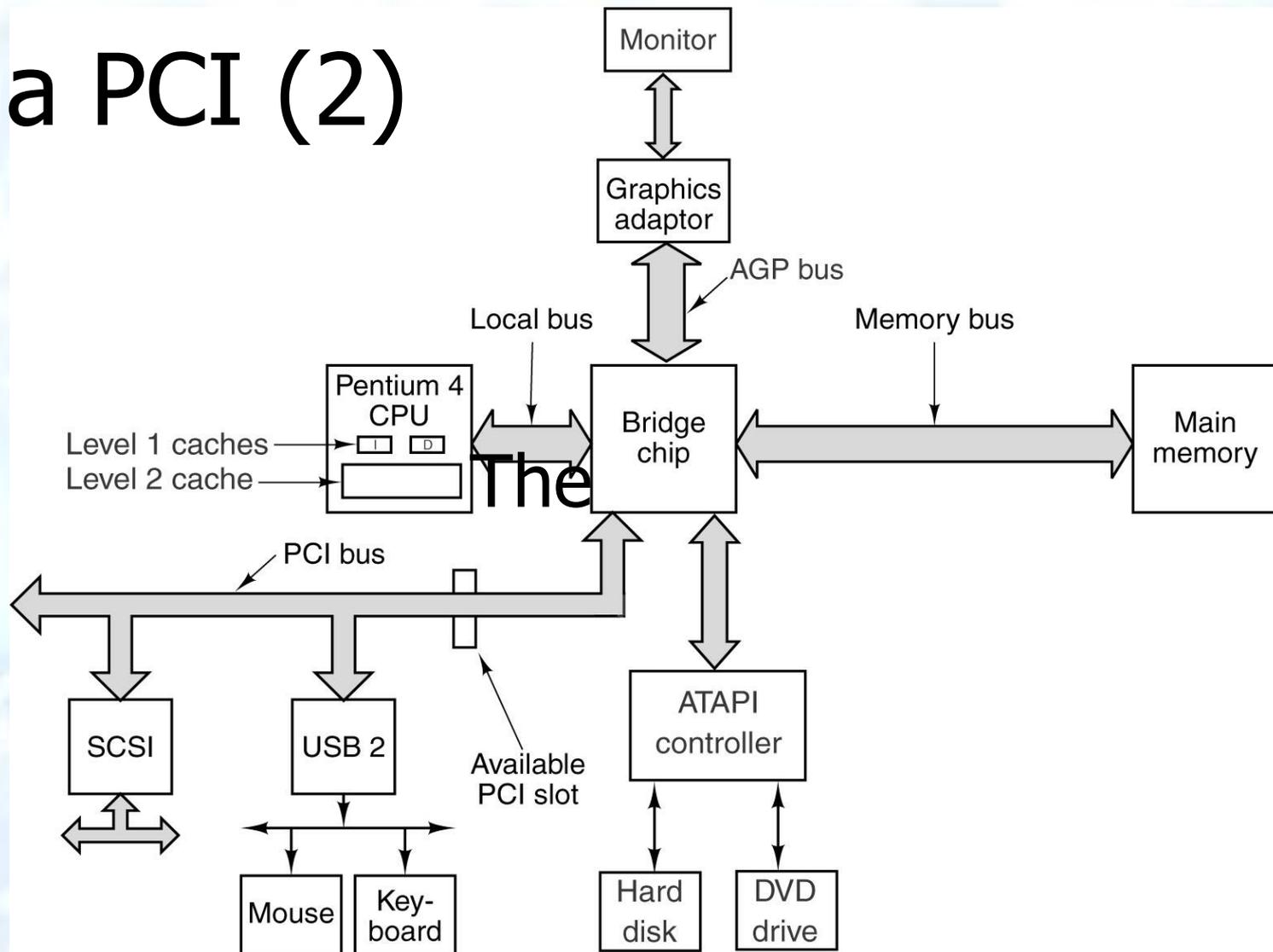


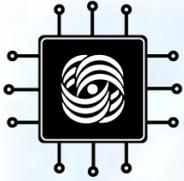
# Шина PCI (1)



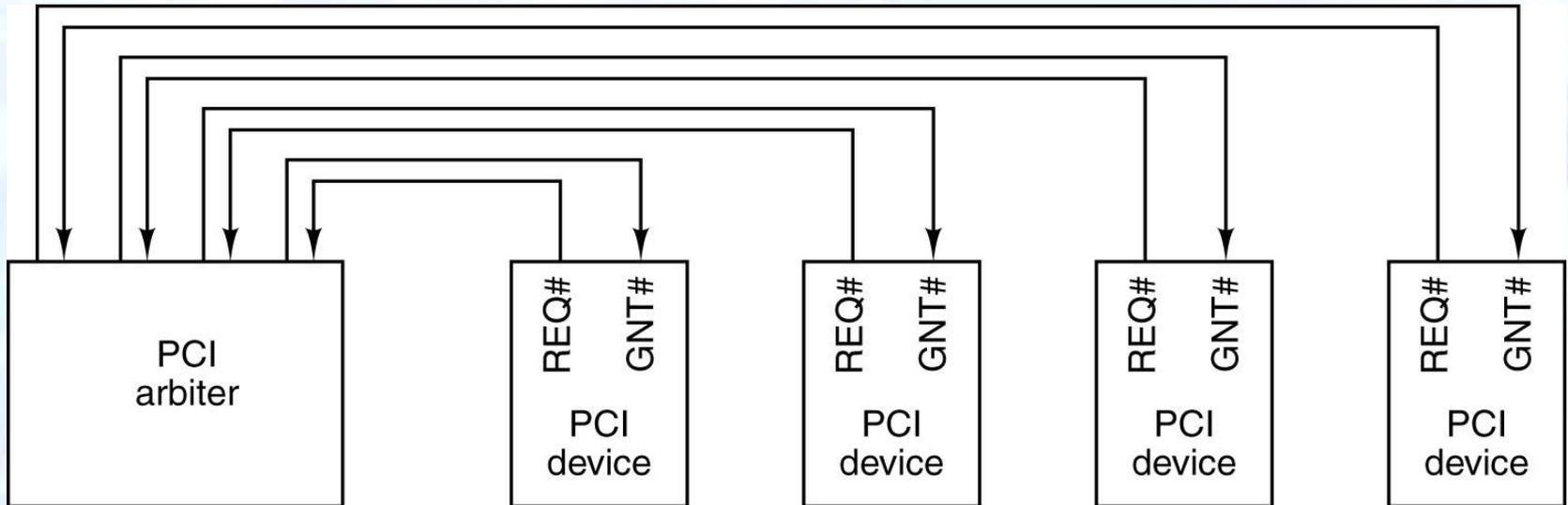


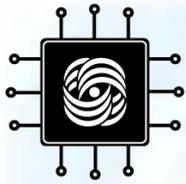
# шина PCI (2)



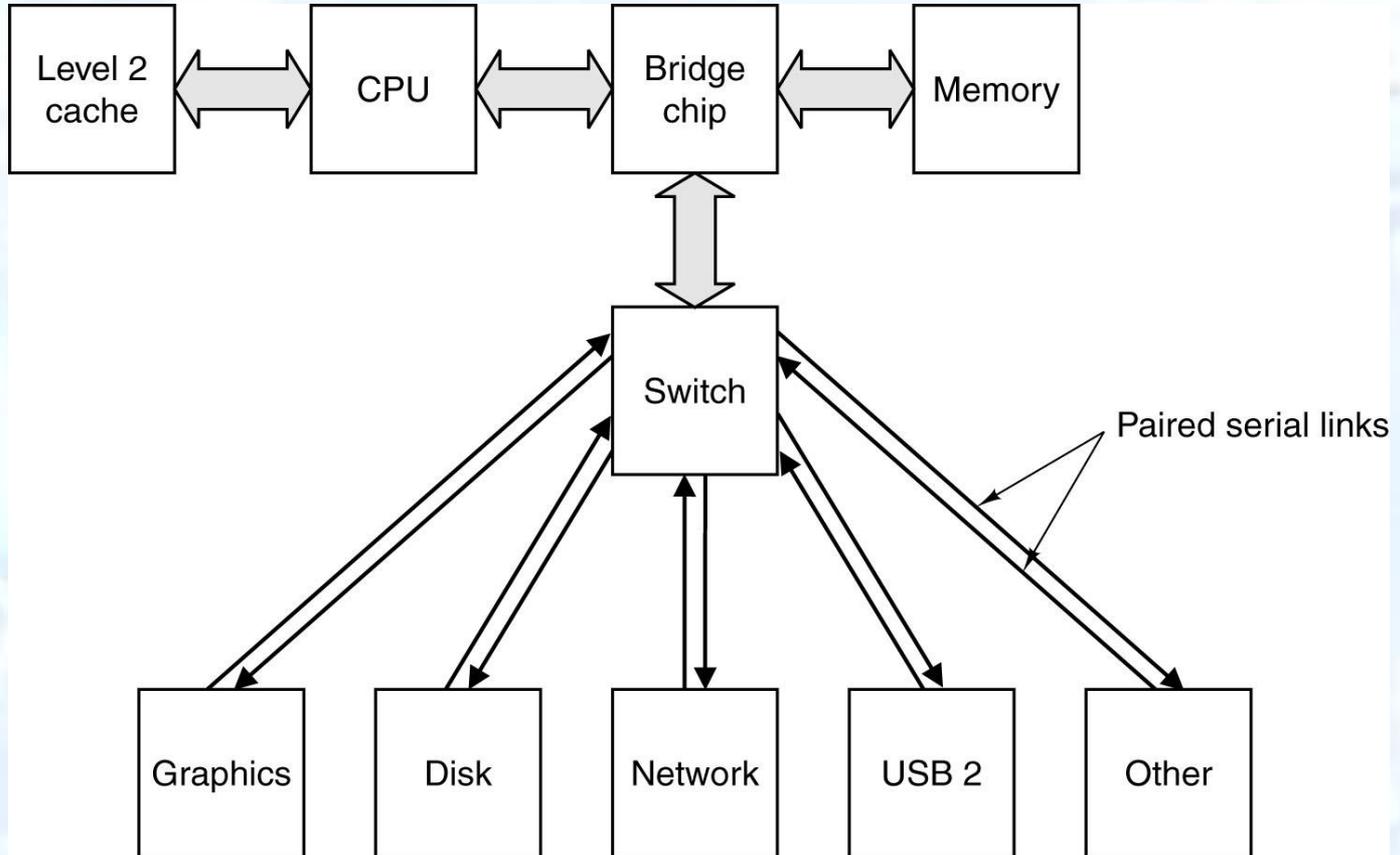


# Арбитраж шины PCI





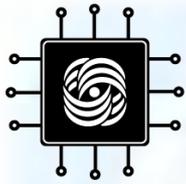
# PCI Express





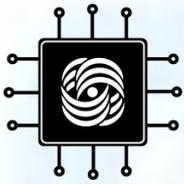
# Характеристики PCI Express

- Пакетная сеть с топологией Звезда
- Горячая замена карт
- Гарантированная полоса пропускания
- Управление энергопотреблением
- Контроль целостности передаваемых данных

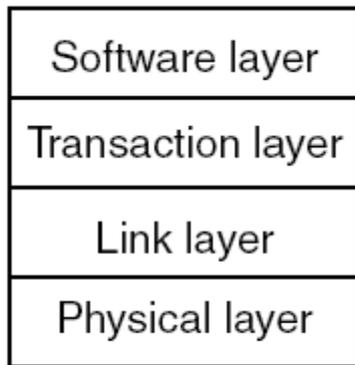


# Стек протоколов шины PCI Express

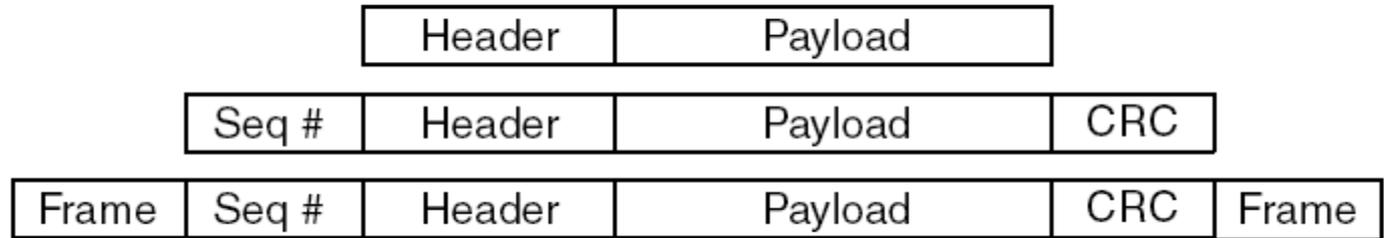
- Программный уровень
- Уровень транзакции
- Канальный уровень
- Физический уровень



# Стек протоколов шины PCI Express (2)



(a)

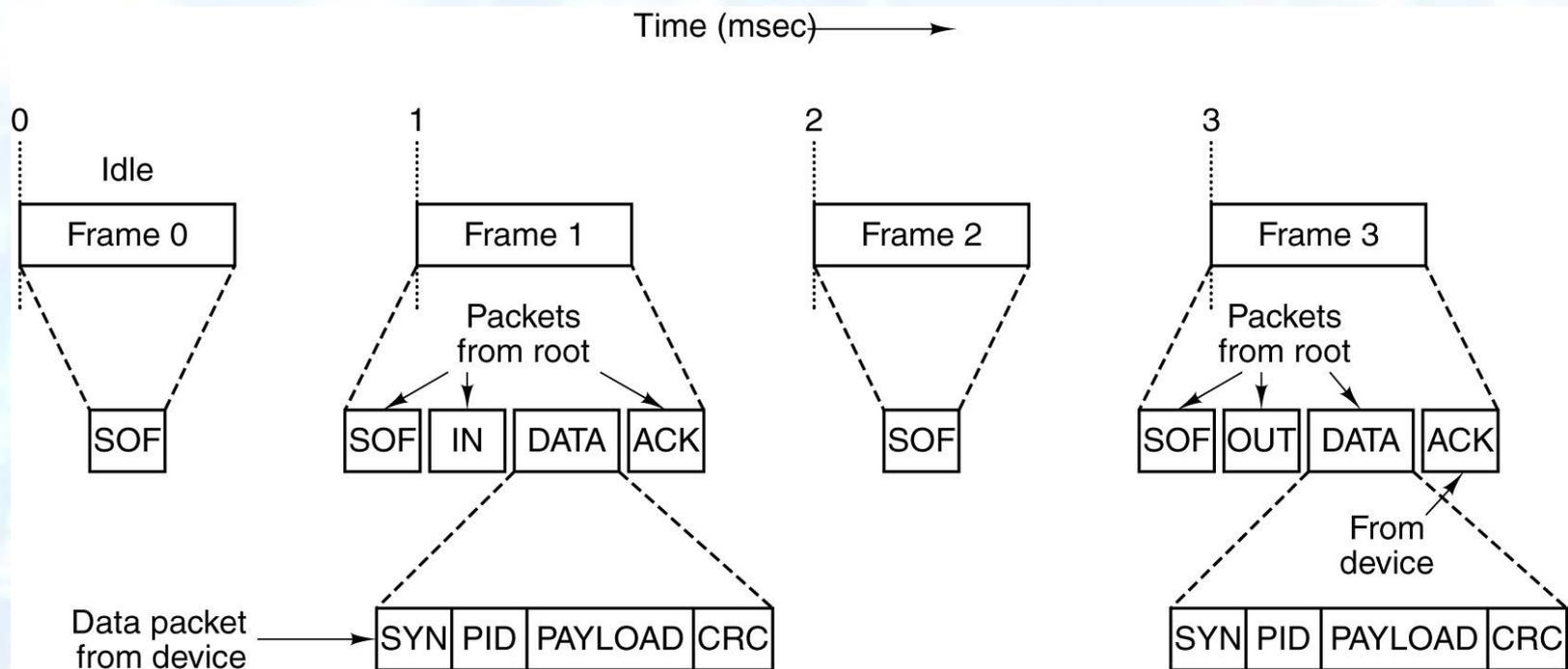


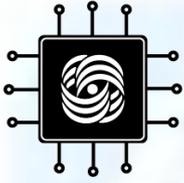
(b)

- (a) Стек протоколов The PCI Express
- (b) Формат пакета.



# Шина The Universal Serial Bus





**Спасибо за внимание!**